

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)  
[First Hit](#)



Generate Collection

L4: Entry 11 of 15

File: JPAB

Dec 24, 1979

PUB-NO: JP354162472A  
DOCUMENT-IDENTIFIER: JP 54162472 A  
TITLE: PLASMA PROCESSING METHOD

PUBN-DATE: December 24, 1979

## INVENTOR-INFORMATION:

NAME

COUNTRY

KOSHIMIZU, HIROSHI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP53071932

APPL-DATE: June 13, 1978

US-CL-CURRENT: 438/706; 438/FOR.117, 438/FOR.120

INT-CL (IPC): H01L 21/302

## ABSTRACT:

PURPOSE: To reduce the dispersion in the result of processing, by containing the semiconductor substrate in the plasma processing tool, heating it outside the plasma processing unit at more than the processing temperature, and performing plasma processing in the processing unit after keeping the substrate and the tool at the same temperature.

CONSTITUTION: The SiO<sub>2</sub> film 2 and the Si<sub>3</sub>N<sub>4</sub> film 3 are coated in lamination on the surface of the semiconductor substrate 1, the photo resist pattern 4 is formed on the film 3, and it is clipped with the plasma etching tool 5 of Al. Further, it is heat-treated at 150°C under N<sub>2</sub> atmosphere for about one hour for the baking of the resist 4 and also the temperature of the tool 5 is increased. After that, it is left for about 10 minutes, and the tool 5 is put in the plasma etching unit together with the substrate 1 and it is heated to about 40°C with external heater under vacuum. Further, the substrate is etched with CF<sub>4</sub> flowed and the resist 4 is removed by changing the gas to O<sub>2</sub>. Thus, no etching deficiency is caused at the part in contact with the tool 5 and its vicinity 6 due to temperature decrease, to constitute the entire surface uniform.

COPYRIGHT: (C)1979, JPO&amp;Japio

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

昭54-162472

⑬Int. Cl.<sup>3</sup>  
H 01 L 21/302

識別記号 ⑭日本分類  
99(5) C 3

庁内整理番号 ⑮公開 昭和54年(1979)12月24日  
7113-5F

発明の数 1  
審査請求 未請求

(全 3 頁)

⑯プラズマ処理方法

東京都港区芝五丁目33番1号  
日本電気株式会社内

⑰特 願 昭53-71932  
⑱出 願 昭53(1978)6月13日  
⑲発 明 者 奥水弘

⑳出 願 人 日本電気株式会社  
東京都港区芝五丁目33番1号  
㉑代 理 人 弁理士 内原晋

明 細 書

1 発明の名称

プラズマ処理方法

2 特許請求の範囲

半導体基板をプラズマ処理用治具に収納してプラズマ処理装置外でプラズマ処理温度よりも高い温度に加熱する工程と、その後一定時間放置した後、前記治具に収納された半導体基板をプラズマ処理装置に入れ、所定温度でプラズマ処理する工程を含む事を特徴とするプラズマ処理方法。

3 発明の詳細を説明

本発明は半導体装置の製造におけるプラズマ処理方法に関する。

半導体装置製造において、プラズマ処理はエッチング及びフォトリソストの除去等に用いられているが、一般的にプラズマ処理装置は円筒型の処理室を有し、処理しようとする半導体基板を治具

に収納し、これを処理室に入れるいわゆるベッチ方式である。

ベッチ方式の場合1層ごとの再活性が同座になってくるがプラズマ処理のようを化学反応では温度の再活性が一番重要であり、プラズマ処理時の温度を一定条件にするためプラズマ処理装置に外部ヒーターを取付けたものがあり、これを使用することによりプラズマ条件に関係なく温度条件を一定にできるようになりプラズマ処理の再活性は大幅に向上している。

しかしながら1ベッチ内の半導体基板内における処理結果のバラツキ(例えばプラズマエッチングではエッチング不足等、プラズマ処理ではフォトリソストの残りが生ずる)は改善されていない。特に半導体基板がプラズマ処理用治具と接する部分でバラツキが発生し、この原因はプラズマ処理用治具と半導体基板との熱容量の差から起るものである事が判った。

すなわち、第1図はプラズマ処理装置内にアルミニウム製のプラズマ処理用治具(10-407

ルミ種を使った治具)及び半導体基板(3インチのウェハー)を入れ、該装置内を真空にし外部より赤外ヒーターで加熱した時の両者の温度上昇を示すものであるが、同図からわかるように、半導体基板に比べ前記治具の熱容量の方がはるかに大きく、半導体基板がプラズマ処理に適した温度になった時点でも治具の温度はまだ低温の状態にある。そのため半導体基板の前記治具に接する部分附近の温度が他の部分よりも低くなり、これが前記パラッキの原因となっていた。なお、前記温度差がきわめて大きいのは、プラズマ処理装置内が真空で外部熱源からの輻射熱により温度を上げているためである。

従来は半導体基板の直径も小さく、パターンサイズも大きかったため、前記パラッキもある程度無視し得たが、近年、半導体基板の直径が大きくかつパターンサイズが微細化するにつれて無視できなくなってきた。つまり、前記治具の熱容量を減少させようとすれば、治具自体を小型化するしかないが、基板の大酸化により治具も大酸化せざるを得なくなり、かつ基板収納の自動化が進んで治具の熱容量はむしろ大きくなる傾向にある。

特開昭54-162472(2)  
るを得なくなり、かつ基板収納の自動化が進んで治具の熱容量はむしろ大きくなる傾向にある。

本発明は上記の欠点を除き、半導体基板内の処理結果のパラッキを最小に抑えることのできるプラズマ処理方法を提供するものであり、具体的に半導体基板とプラズマ処理用治具の温度をほぼ同一にする事により解決するものである。

本発明を図面を参照して詳細に説明すると、第2図において150℃の熱処理中に半導体基板とアルミニウム製のプラズマ処理用治具を入れた時の温度上昇を示す。同図からわかるように、半導体基板が150℃になった時点でプラズマ処理用治具はまだ130℃である。

第3図において150℃の熱処理に入れて一定温度になった後取り出した時の半導体基板とアルミニウム製のプラズマ処理用治具の温度降下を示す。同図によれば半導体基板が室温に戻った時点でもなおプラズマ処理用治具は50℃である。本発明はこの原理を利用し、あらかじめプラズマ処理しようとする半導体基板をプラズマ処理用治具に取

納し、熱処理を行なった後、プラズマ処理条件に応じた一定時間の放置冷却ののち、前記半導体基板を外壁ヒーターで加熱し、前記半導体基板とプラズマ処理用治具がほぼ同一温度になった時点でプラズマ処理する事を特徴とする。

次に本発明の方法を酸化ケイ素膜のプラズマエッチングに適用した場合の実施例で説明する。

半導体基板1を高純度の酸化雰囲気中に入れ表面に酸化膜2を100Å成長させた後、OVD法で酸化ケイ素膜3を2000Å被着する(第4図)。次いで公知のフォトリソ技術を用いて前記酸化ケイ素膜3上にフォトリソパターン4を形成する。(第5図)。

次にプラズマエッチング用治具に前記半導体基板を収納し、150℃、N<sub>2</sub>ガス雰囲気中で1時間熱処理し、フォトリソパターンのベークンを行なうと同時に前記治具の温度上昇を行なう。熱処理後10分間放置した後前記治具に入った半導体基板をプラズマエッチング装置に入れ真空に引きつつ外部ヒーターで半導体基板40℃になるまで

加熱する。半導体基板が40℃になったらO<sub>2</sub>ガスを流し真空度0.5 $\times 10^{-6}$  Torr、高周波出力150Wで10分間エッチングしたのちガスをO<sub>2</sub>に切り替えフォトリソパターンを除去する(第6図)。この時前記治具の温度は35℃~45℃でほぼ半導体基板と同一の温度に保たれたため、半導体基板内でのエッチングのパラッキはほとんどなくなった。

すなわち従来方法では第7図に示す様にプラズマ処理用治具5と接する部分及びその近傍6で温度低下によるエッチング不足が発生するためエッチング時間を追加する必要があった。このため半導体基板の周辺で前記治具と接していない部分がオーバーエッチとなり、はなはだしい時は下地の酸化膜及びシリコンもエッチングされる場合があったが、本発明の方法では追加エッチングの必要はなく半導体基板全面に均一なエッチングが可能となった。

本実施例ではプラズマエッチングに適用した例であったが、本発明がプラズマエッチング以外のプラズマ処理全般に適用できることは言うまでも

ない。

以上詳細に説明したように、本発明の方法によれば、半導体基板とプラズマ処理用器具の熱容量が異なっても同一温度でプラズマ処理する事が可能であり、プラズマ処理時の温度に応じた熱処理及び放置冷却を行えばよいので非常に簡単である。

#### 4 図面の簡単な説明

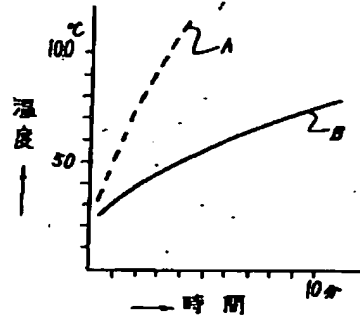
第1～第3図は半導体基板と収容器具の温度上昇及び下降を示す曲線図、第4図～第6図は本発明の実施例を示す工程の断面図、第7図は従来方法の場合にバラフキを生ずる状態を示す半導体基板の平面図である。

A……半導体基板の温度上昇または下降曲線、  
B……器具の温度上昇または下降曲線、1……半導体基板、2……酸化膜、3、3'……酸化ケイ素膜、4……フォトリソストパターン、5……プラズマ処理用器具、6……エッチング不足の発生する部分。

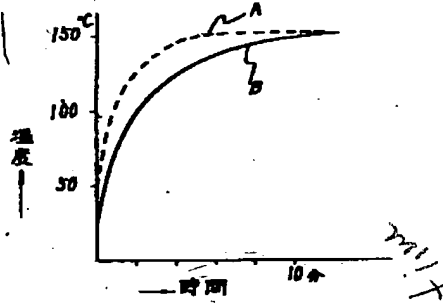
代理人 弁理士

内 原

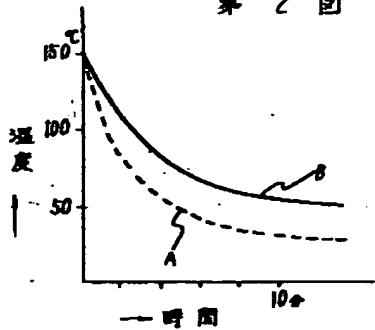
商 標



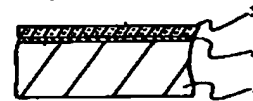
第 1 図



第 2 図



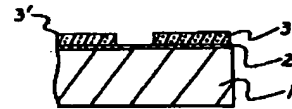
第 3 図



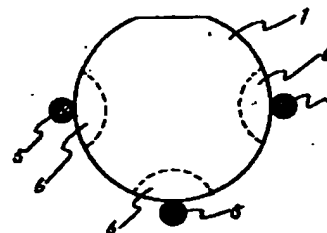
第 4 図



第 5 図



第 6 図



第 7 図